

4 - TRANSISTORES DE POTÊNCIA :

4.1 - Introdução :

Os transistores de potência apresentam características de chaveamento controlada. Os transistores, utilizados como elementos de chaveamento, operam na região de saturação, apresentando uma baixa queda de tensão de condução ($V_{CE} \approx 0$).

A velocidade de chaveamento dos transistores modernos é muito maior do que a dos tiristores, sendo largamente utilizados em conversores CC/CC e CC/CA, apresentando, internamente, um diodo conectado em anti-paralelo (manter um caminho para a corrente). Entretanto, as especificações de tensão e corrente ainda são menores que a dos tiristores, sendo então aplicados em baixa e média potência. Os transistores de potência podem ser divididos em :

- a) - transistor de junção bipolar - BJT;
- b) - metal-oxide-semiconductor field-effect transistor - MOSFET;
- c) - static induction transistor - SIT;
- d) - insulated-gate bipolar transistor - IGBT

Estes transistores são considerados como chaves ideais em técnicas de conversão de potência. O chaveamento de um transistor é mais simples que o chaveamento de um tiristor por comutação forçada. Entretanto, a escolha entre um transistor bipolar e um MOSFET em um circuito de conversão não é óbvia, mas qualquer um deles pode substituir o tiristor, contanto que suas especificações de tensão e corrente satisfaçam as condições impostas pelo conversor.

Na prática, os transistores apresentam certas limitações e são restritos a algumas aplicações. As características e a avaliação de cada tipo deverá ser examinada para determinar o componente mais adequado para uma aplicação particular.

4.2 - Transistor de Junção Bipolar - BJT

O transistor bipolar é formado pela adição de uma segunda região p ou n em uma junção pn. Pode-se obter assim, um transistor NPN ou PNP. O transistor apresenta três terminais : coletor (C), base (B) e emissor (E); e duas junções : coletor-base (CB) e base-emissor (BE).

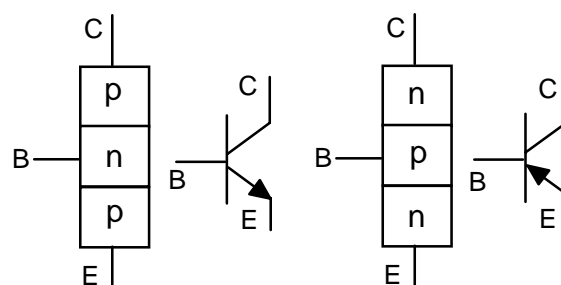
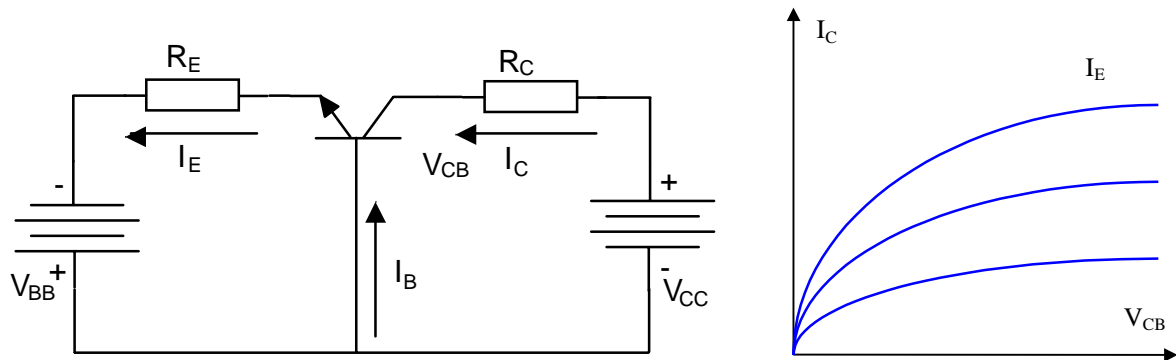


Figura 4.1 : transistor NPN e PNP.

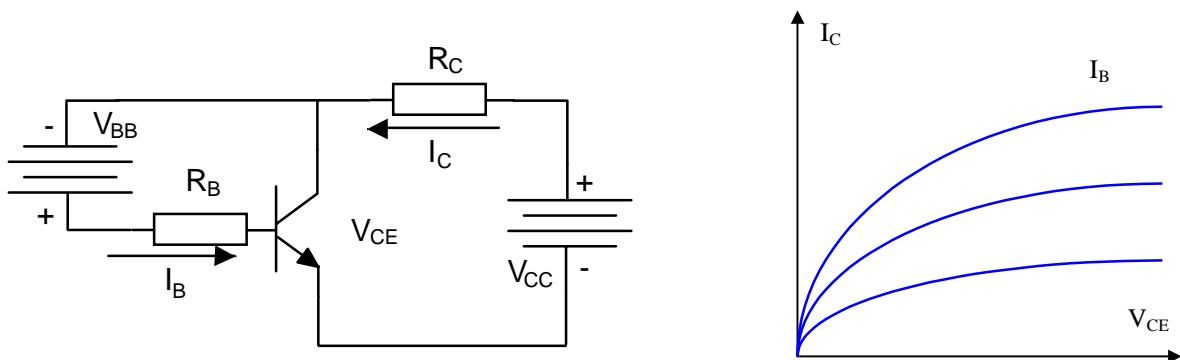
4.2.1 - Características de Operação :

Existem três configurações básicas de operação para o transistor bipolar :

a) - Base-comum :



b) - Coletor-comum :



c) - Emissor-comum :

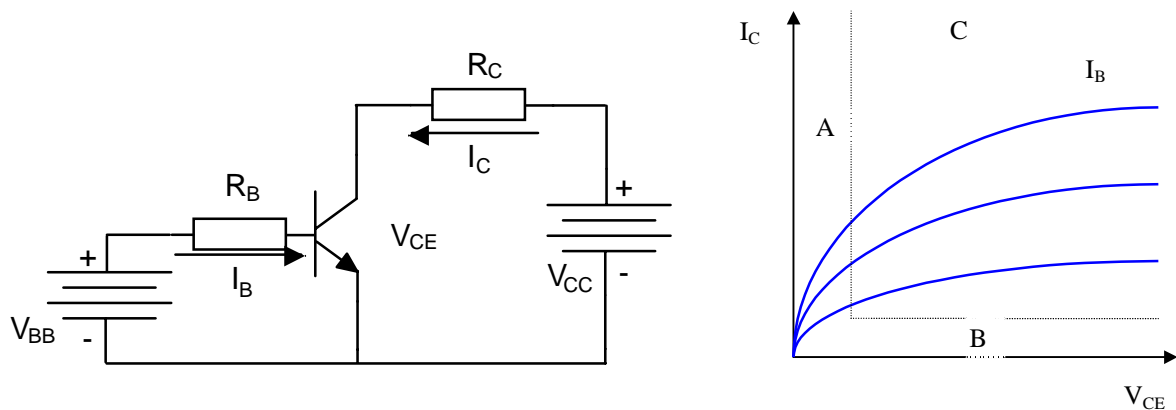


Figura 4.2 : Configurações para o Transistor Bipolar : a) Base-comum; b) Coletor-comum; c) Emissor-comum

Esta última configuração é a mais utilizada para a operação do transistor como chave.

Existem três regiões de operação para o transistor : corte (B), saturação (A) e região ativa (C). Na região de corte, o transistor está desligado ou a corrente I_B não é grande o suficiente para ligá-lo e as junções estão reversamente polarizadas. Na região ativa, o transistor funciona como um amplificador onde I_C é amplificada pelo ganho de corrente β e a diminuição da queda V_{CE} . A junção coletor-base está reversamente polarizada e a junção base-emissor, diretamente polarizada. Na região de saturação, a corrente de base I_B é suficientemente grande, fazendo com que a tensão V_{CE} seja muito baixa. Assim, o transistor opera como chave. Ambas as junções estão diretamente polarizadas. A curva mostrada na figura 4.3 dá a característica de transferência $V_{CE} \times I_B$.

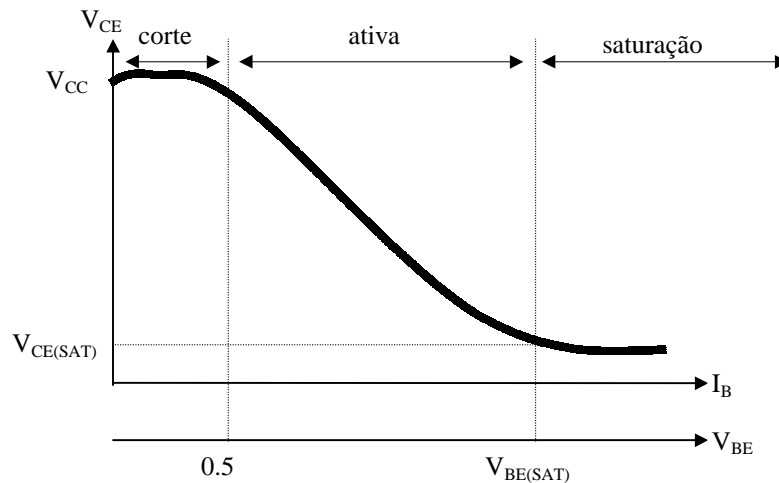


Figura 4.3 : Característica de transferência do transistor.

O transistor pode ser representado pelo seguinte modelo :

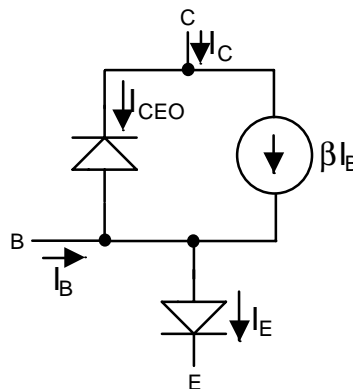


Figura 4.4 : Modelo simplificado do transistor.

$$I_E = I_C + I_B \quad (4.1)$$

$$I_C = \beta \cdot I_B + I_{CEO} \quad (4.2)$$

$$I_E \cong \beta \cdot I_B + I_B \cong I_B \cdot (1 + \beta) \quad (4.3)$$

$$I_E \cong I_C \cdot \left(\frac{1 + \beta}{\beta} \right) \quad (4.4)$$

$$\alpha = \frac{1 + \beta}{\beta} \quad (4.5)$$

$$I_E \cong \alpha \cdot I_C \quad (4.6)$$

No circuito da figura 4.5, o transistor opera com chave. Assim, tem-se :

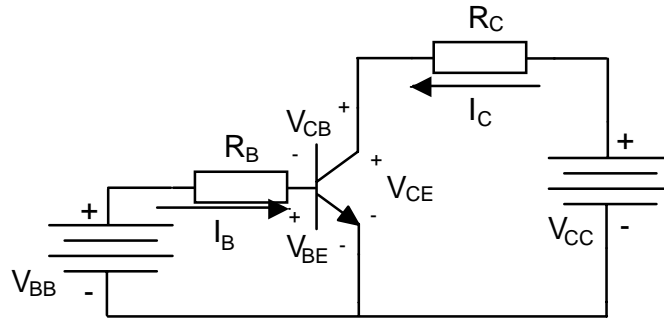


Figura 4.5 : Transistor operando como chave.

$$I_B = \frac{V_B - V_{BE}}{R_B}; \dots\dots\dots I_C = \beta \cdot I_B \quad (4.7)$$

$$V_{CE} = V_C = V_{CC} - R_C \cdot I_C = V_{CC} - R_C \cdot \beta \cdot \left(\frac{V_B - V_{BE}}{R_B} \right) \quad (4.8)$$

$$V_{CE} = V_{CC} - \frac{R_C}{R_B} \cdot \beta V_B + \frac{R_C}{R_B} \cdot \beta V_{BE} \quad (4.9)$$

Como :

$$I_C \approx \beta \cdot \frac{V_B}{R_B} \quad (4.10)$$

$$V_{CC} - R_C \cdot I_C - V_{CB} - V_{BE} = 0 \quad (4.11)$$

Logo :

$$V_{CE} = V_{CB} + V_{BE} \Rightarrow V_{CB} = V_{CE} - V_{BE} \quad (4.12)$$

Enquanto $V_{CE} \geq V_{BE}$, a junção CB está reversamente polarizada e o transistor está na região ativa. A máxima corrente de coletor $I_{C_{max}}$ na região ativa, é determinada quando V_{CB} é igual à zero.

$$I_{C_{MAX}} = \frac{V_{CC} - V_{CE}}{R_C} = \frac{V_{CC} - V_{BE}}{R_C} \quad (4.13)$$

$$I_{B_{MAX}} = \frac{I_{C_{MAX}}}{\beta}$$

O processo continua até que a junção CB é diretamente polarizada, apresentando uma queda V_{CB} variando de 0,4V a 0,5V. Assim, o transistor vai para a saturação. A saturação de um transistor pode ser definida como **o ponto acima do qual algum aumento na corrente de base não provoca uma aumento significativo na corrente de coletor**. Na saturação :

Na saturação :

$$I_{C(SAT)} = \frac{V_{CC} - V_{CE(SAT)}}{R_C} \quad (4.14)$$

$$I_{B(SAT)} = \frac{I_{C(SAT)}}{\beta}$$

Normalmente, o circuito a transistor na configuração chave, é definido por quanto I_B é maior que $I_{B(SAT)}$, para garantir a saturação. A razão entre I_B e $I_{B(SAT)}$ é definido por **fator de sobreacionamento - overdrive factor - ODF**.

$$ODF = \frac{I_B}{I_{B(SAT)}} \quad (4.15)$$

E a razão :

$$\frac{I_{C(SAT)}}{I_B} = \beta_F \Rightarrow \beta \cdot \text{forç adc} \quad (4.16)$$

A potência total dissipada nas duas junções é :

$$P_T = V_{BE} \cdot I_B + V_{CE} \cdot I_C \quad (4.17)$$

4.2.2 - Características de chaveamento :

A junção diretamente polarizada apresenta duas capacitâncias em paralelo : capacitância da camada de depleção e a capacitância de difusão. A junção reversamente polarizada, apresenta apenas a capacitância da camada de depleção. Em condições permanentes, estas capacitâncias não apresentam problemas. Entretanto, em condições transitórias, elas influenciam nas características de ligar e desligar o transistor. O modelo do transistor para condições transitórias é mostrado na figura 4.6.

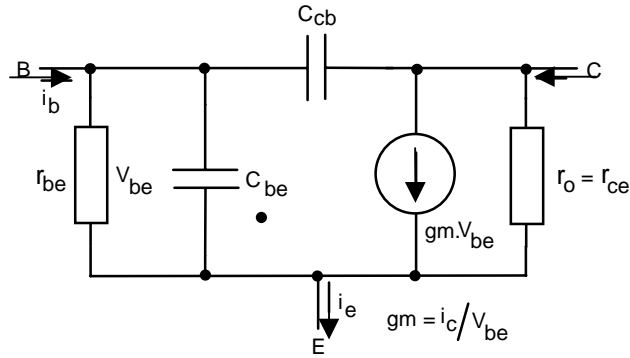


Figura 4.6 : Modelo dinâmico do transistor.

- Ccb : capacitância CB
- Cbe : capacitância BE
- gm : transcondutância
- rce : resistência CE
- rbe : resistência BE
- Ccb : Efeito Miller

Devido as capacitâncias internas, o transistor não “liga” e também “ não desliga ” instantaneamente, como pode ser visto na figura 4.7.

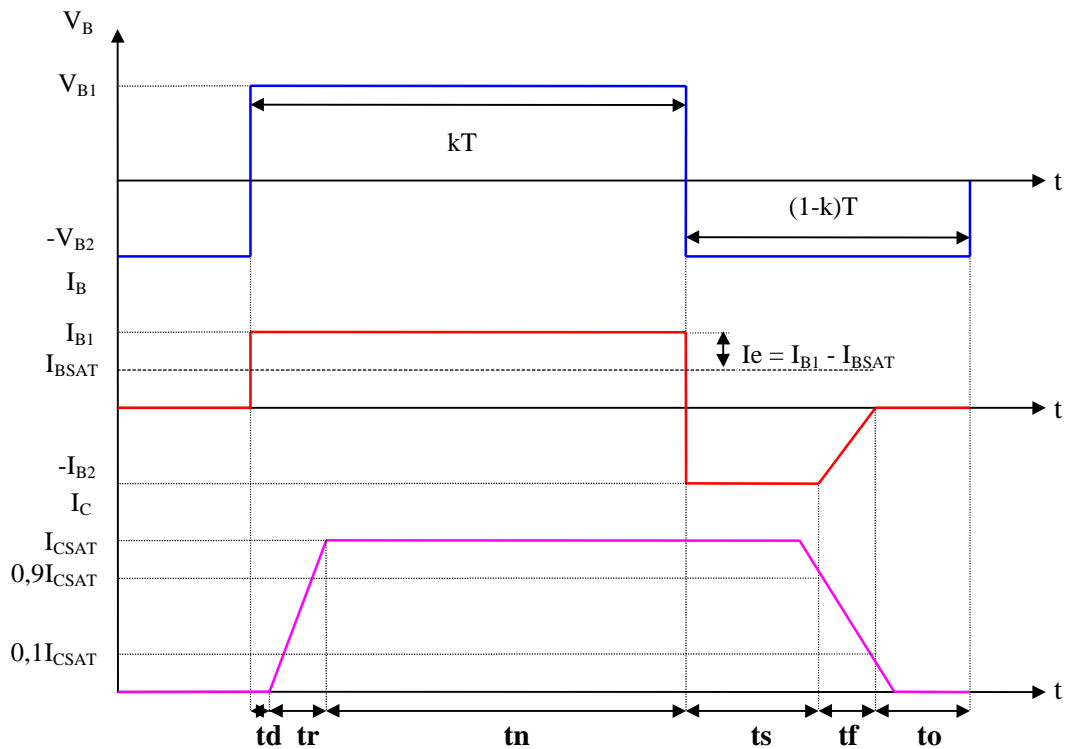


Figura 4.7 : Característica de chaveamento do Transistor Bipolar.

Quando V_B varia de zero até V_1 e a corrente de base vai para I_{B1} , a corrente de coletor não responde imediatamente. Existe um atraso (delay time - t_d) antes que alguma corrente I_C comece a circular. Este atraso é necessário para se carregar a capacitância da junção BE para uma tensão direta V_{BE} (0,7V). Após este atraso, a corrente I_C cresce para o valor I_{CSAT} . O tempo de subida (rise time - t_r), depende da constante de tempo determinada pela capacitância BE (C_{be}).

A corrente de base é normalmente maior do que a necessária para saturar o transistor. Como resultado, há um excesso de carga armazenada na região da base. Esta carga extra, que é chamada de carga de saturação, é proporcional ao excesso de I_B . Assim a corrente I_e (corrente de excesso) é dada por :

$$I_e = I_B - \frac{I_{C(SAT)}}{\beta} = ODF \cdot I_{B(SAT)} - I_{B(SAT)} \quad (4.18)$$

$$I_e = I_{B(SAT)} \cdot (ODF - 1) \quad (4.19)$$

A capacitância de saturação Q_S é :

$$Q_S = \tau_S \cdot I_e = \tau_S \cdot I_{B(SAT)} \cdot (ODF - 1) \quad (4.20)$$

τ_S : constante de tempo de armazenamento do transistor.

Quando a tensão V_B vai de V_1 para V_2 , e I_B é igual a $-I_{B2}$, a corrente I_C não muda durante o tempo de armazenamento (storage time - t_s). Este é o tempo necessário para se remover a carga de saturação da base. Desde que V_{BE} é positiva e aproximadamente 0.7V, somente a corrente de base inverte sua direção devido a mudança de polaridade de V_B . A corrente reversa $-I_{B2}$, ajuda a descarregar a base. Sem esta corrente, o tempo necessário seria muito grande.

Uma vez a carga extra removida, a capacitância da junção BE carrega, agora, com uma tensão $-V_2$ e a corrente de base torna-se zero. O tempo de descida (fall time - t_f) depende da constante de tempo, que é determinada pela capacitância de polarização reversa da junção BE.

O tempo necessário para se ligar o transistor é : $t_{on} = t_d + t_r$

O tempo necessário para se desligar o transistor é : $t_{off} = t_s + t_f$

4.2.3 - Característica térmica

O circuito térmico equivalente de um transistor é mostrado na figura 2.6.

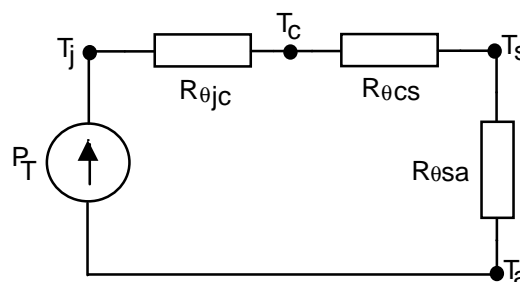


Figura 4.8 : Circuito térmico do transistor.

$$\begin{aligned}
 T_c &= T_j - P_T \cdot R_{\theta_{jc}} \\
 T_s &= T_c - P_T \cdot R_{\theta_{cs}} \\
 T_a &= T_s - P_T \cdot R_{\theta_{sa}} \\
 T_j - T_a &= P_T \cdot (R_{\theta_{jc}} + R_{\theta_{cs}} + R_{\theta_{sa}})
 \end{aligned}
 \tag{4.21}$$

$R_{\theta_{JC}}$: resistência térmica entre junção e invólucro;
 $R_{\theta_{CS}}$: resistência térmica entre invólucro e dissipador;
 $R_{\theta_{Sa}}$: resistência térmica entre dissipador e ambiente.

A máxima dissipação de potência P_T é normalmente especificada à temperatura $T_C = 25^\circ\text{C}$. Se a temperatura ambiente T_A é aumentada à um valor $T_{j\text{max}}$ igual a 150°C , por exemplo, a dissipação de potência do transistor é zero. Por outro lado, se a temperatura da junção T_C é de 0°C , o componente pode dissipar a potência máxima, o que não é prático.

Portanto, a temperatura ambiente e as resistências térmicas devem ser consideradas quando da análise do circuito. Os fabricantes fornecem as curvas de degradação térmica e de segunda quebra.

Para explorar o transistor inteiramente, sem superaquecimento no chaveamento, deve-se utilizar a característica apresentada na figura 4.9, que mostra a área útil de operação. Quando chaveado entre dois estados de operação (corte e saturação), é fundamental que os valores instantâneos de corrente e tensão caiam dentro do retângulo mostrado na figura. Observar que a escala na área útil de operação é logarítmica.

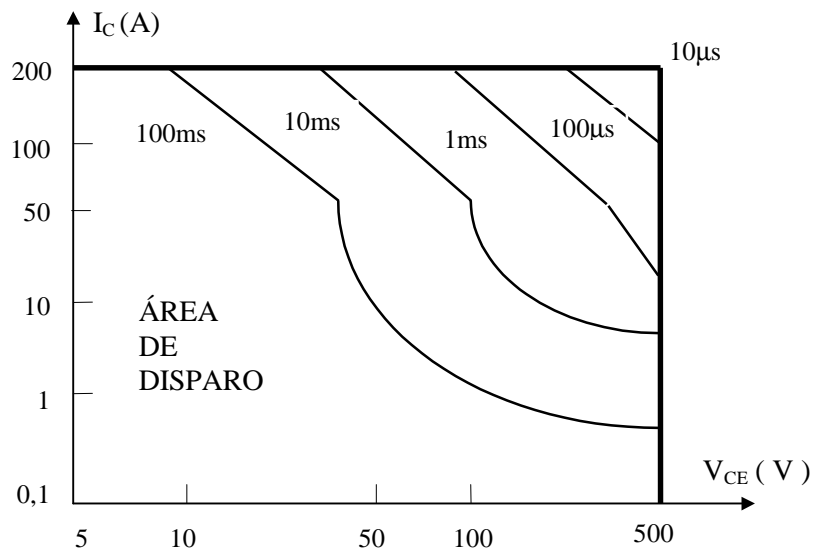


Figura 4.9 : Típica área útil de utilização.

As perdas durante o chaveamento podem ser grandes, pois tensão e corrente no transistor podem ser altas, e o produto dessas duas grandezas define a potência perdida, que, por sua vez, multiplicada pelo tempo de chaveamento, fornece a energia perdida. Grandes frequências no chaveamento diminuem essas perdas, sendo que estas dependem da carga, dos parâmetros do circuito, bem como da variação da corrente de base.

4.2.4 - Tensões de ruptura :

Uma tensão de ruptura é definida como a máxima tensão absoluta entre dois terminais, com o terceiro terminal em aberto, curto-circuitado ou polarizado tanto direta quanto reversamente. Na ruptura a tensão permanece constante enquanto que a corrente cresce rapidamente. As tensões de ruptura que se seguem são fornecidas pelos fabricantes :

a) - V_{EB0} : máxima tensão entre emissor e base, com coletor aberto;

b) - V_{CEV} ou V_{CEX} : máxima tensão entre coletor e emissor para uma tensão negativa aplicada entre a base e o emissor;

c) - $V_{CE0(SUS)}$: máxima tensão de sustentação entre o coletor e o emissor com a base aberta. Esta grandeza é especificada para corrente e tensão de coletor máximas, aplicadas simultaneamente sobre o transistor, com um valor especificado de carga indutiva.

4.2.5 - Operação em série e paralelo :

Semelhante ao que ocorre com os SCR's, os transistores de potência podem ser ligados em :

a) - **série** : de forma a aumentar a sua capacidade de tensão. É importante observar que os transistores associados devem ser ligados e desligados ao mesmo tempo, evitando a destruição dos mesmos por alta tensão entre coletor e emissor. Estes transistores devem ter o mesmo ganho, transcondutância, tensão limite, tensão direta, ton e toff. Da mesma forma, as características da base (ou gate) devem ser idênticas;

b) - **paralelo** : de forma a aumentar a capacidade de corrente de carga. Como, na prática, fica difícil obter dois transistores com as mesmas características, pode-se utilizar o mesmo método da associação de dois ou mais SCR's, utilizando-se resistores e indutores de equalização.

c) - **Darlington** : uma das principais limitações dos transistores bipolares de potência é o baixo valor do ganho de corrente β_{CC} (muitas vezes inferior a 10), o que coloca problemas ao circuito de comando da base.

Apesar da corrente de base ser elevada, a tensão base-emissor é relativamente pequena, situando-se entre 1 e 2 volts, e assim, se a tensão da fonte controlada pelo transistor for elevada, o ganho de potência é elevado.

O método clássico de aumentar o ganho em corrente dos transistores bipolares é a utilização de transistores Darlington. A montagem Darlington é constituída pela ligação de dois transistores NPN de acordo com a figura 4.10.

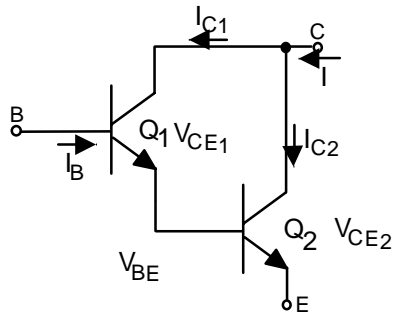


Figura 4.10 : Configuração Darlington.

A corrente de base do transistor Q_2 que condiciona a corrente de coletor I_{C2} , é a corrente de emissor do transistor Q_1

$$I = I_{C2} + I_{C1} = \beta_2 \cdot (\beta_1 \cdot I_B) + \beta_1 \cdot I_B = \beta_2 \cdot \beta_1 \cdot I_B \quad (4.22)$$

Desta forma, obtém-se um ganho que é o produto dos ganhos dos dois transistores. A montagem Darlington apresenta, entretanto, alguns inconvenientes :

- o primeiro, é uma má estabilidade com a temperatura. As correntes de fuga variam acentuadamente com a temperatura, devido ao fato da corrente de fuga de Q_1 ser amplificada pelo transistor Q_2 . Para remediar este inconveniente, devem ser colocadas resistências de estabilização de pequeno valor. As potências dissipadas nestas resistências são pequenas, pois as tensões a que elas são submetidas são de baixo valor;

- o segundo, é uma queda de tensão direta V_{CE} superior à de um só transistor. Com efeito, a tensão de saturação da montagem é igual à soma da tensão V_{BE2} (cuja ordem é de grandeza é de 1 volt) e da tensão de saturação V_{CE1} (de ordem de grandeza de alguns décimos de volt).

4.2.6 - Proteções dV/dt e di/dt para o transistor :

Os transistores necessitam de tempos t_{on} e t_{off} . Se os tempos t_d e t_r são desprezados, as formas de onda de tensão e corrente típicas de um transistor bipolar, apresentam a forma mostrada na figura 4.11.

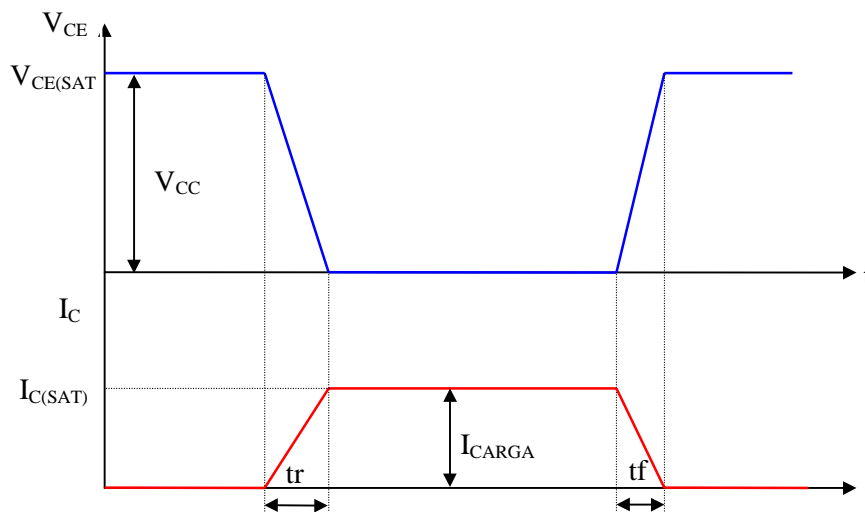


Figura 4.11 : Característica de tensão e corrente do Transistor Bipolar.

Durante o “turn-on” (t_r), a corrente cresce e o di/dt é :

$$\frac{di}{dt} = \frac{I_L}{t_r} = \frac{I_{C(SAT)}}{t_r} \quad (4.23)$$

Durante o “turn-off”, a tensão V_{CE} cresce e, o dV/dt é :

$$\frac{dV}{dt} = \frac{V_S}{t_f} = \frac{V_{CC}}{t_f} \quad (4.24)$$

As condições di/dt e dV/dt preservam as características de chaveamento do transistor e devem ser satisfeitas durante o “turn-on” e o “turn-off”. Circuitos de proteção são normalmente utilizados de forma a manter os limites de di/dt e dV/dt . Um circuito típico é apresentado na figura 4.12.

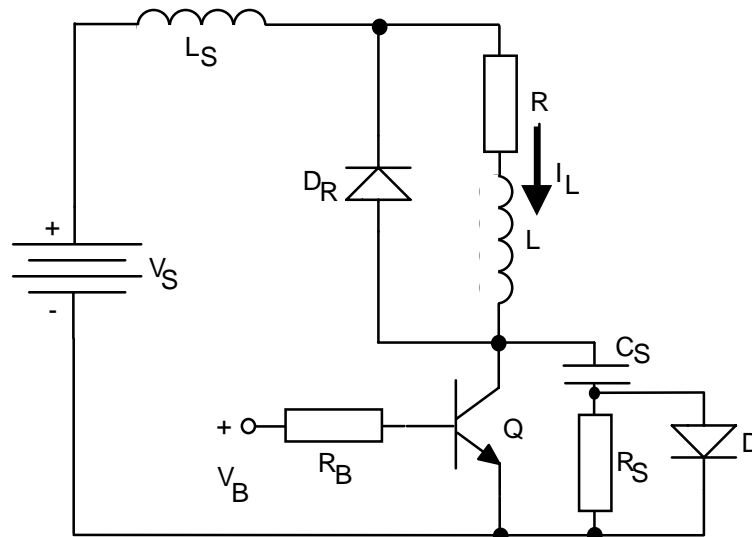


Figura 4.12 : Circuito de proteção contra dV/dt e di/dt para o transistor bipolar.

Análise : considerando a corrente de carga circulando pelo diodo de retorno D_R , o transistor T_1 é ligado. Para esta situação, tem-se o seguinte circuito equivalente :

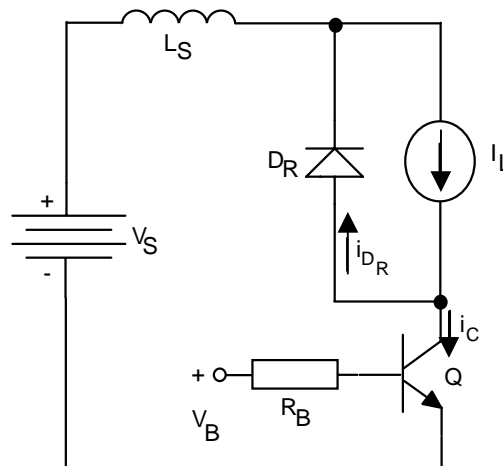


Figura 4.13 : Circuito equivalente quando T_1 é ligado.

$0 \leq t \leq tr$: a corrente i_c cresce até I_L , enquanto que a corrente i_{DR} decresce até zero, comutando o diodo de retorno D_R . A taxa de crescimento da corrente di/dt é :

$$\frac{di}{dt} = \frac{V_S}{L_S} = \frac{I_{C(SAT)}}{tr} \Rightarrow L_S = tr \cdot \frac{V_S}{I_{C(SAT)}} \quad (4.25)$$

$tr \leq t \leq tf$: o capacitor C_S se carregará à uma tensão V_s , devido a corrente de carga I_L agora circular por C_S e pelo diodo D . O circuito equivalente para esta situação é dada na figura 4.14.

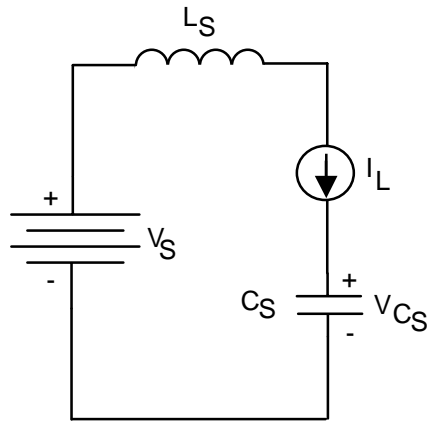


Figura 4.14 : Circuito para carga do capacitor C_S .

A taxa de crescimento de tensão dV/dt que aparecerá sobre o transistor é :

$$\frac{dV}{dt} = \frac{I_{C(SAT)}}{C_S} = \frac{V_S}{tf} \Rightarrow C_S = tf \cdot \frac{I_{C(SAT)}}{V_S} \quad (4.26)$$

Uma vez a tensão V_{cs} igual à V_S , o diodo de retorno D_R fica diretamente polarizado. Assim há a formação de um circuito ressonante RLC, cuja característica é a de um circuito com amortecimento crítico, mostrado na figura 4.15.

O fator de amortecimento δ é dado por :

$$\delta = \frac{\alpha}{\omega_0} \quad (4.27)$$

Assim, δ deve ser igual a 1, logo :

$$\frac{R_S}{2 \cdot L_S} = \frac{1}{\sqrt{L_S \cdot C_S}} \Rightarrow R_S = 2 \cdot \sqrt{\frac{L_S}{C_S}} \quad (4.28)$$

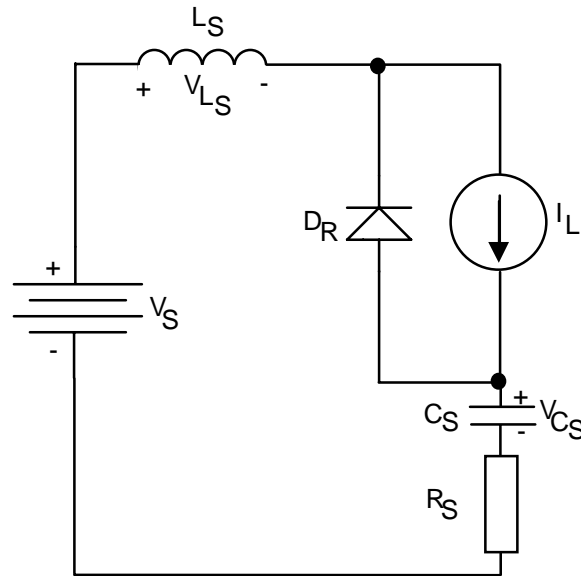


Figura 4.15 : circuito equivalente RLC.

O capacitor C_S descarrega através do transistor e isto aumenta a taxa di/dt . Esta taxa pode ser evitada através de um resistor R_S colocado em paralelo com o capacitor C_S , ao invés de ser colocado em paralelo com o diodo. A corrente de descarga do capacitor C_S é dada na figura 4.16.

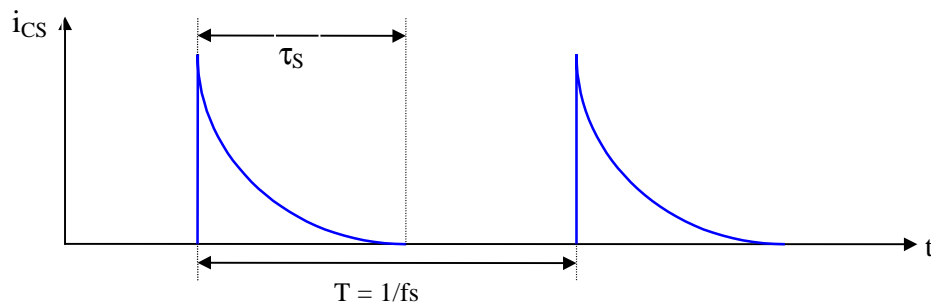


Figura 4.16 : Característica de descarga.

A escolha de R_S deve levar em conta a constante de tempo de descarga τ_s ($R_S \cdot C_S$). Usualmente o tempo de descarga equivale a $1/3$ do período de chaveamento T . Assim :

$$3 \cdot \tau_s = T$$

$$3 \cdot R_S \cdot C_S = \frac{1}{f_s} \Rightarrow R_S = \frac{1}{3 \cdot C_S \cdot f_s} \quad (4.29)$$

4.3 - Transistor MOSFET :

O transistor bipolar é um dispositivo de corrente controlada e, necessita de corrente de base para manter a corrente de coletor I_C . Desde que I_C depende de I_B , o ganho β torna-se altamente dependente da temperatura da junção do transistor.

O transistor de potência MOSFET é um dispositivo de tensão controlada e, necessita apenas de uma pequena corrente de entrada. A velocidade de chaveamento é muito alta (nanossegundos). MOSFET's de potência são utilizados em conversores de baixa potência e alta frequência. Estes transistores apresentam problemas de descargas eletrostáticas, necessitando de cuidados especiais.

Os MOSFET's podem ser divididos em dois tipos :

- a) - MOSFET de Depleção;
- b) - MOSFET de Intensificação.

O MOSFET de Depleção pode ser de canal n ou p. O canal n é formado por um substrato de silício tipo p, com duas regiões altamente dopadas de silício tipo n^+ com baixa resistência de conexão. O gate é isolado do canal n por uma fina camada de Óxido de Silício. Os três terminais são : gate (G); dreno (D) e fonte (S). O substrato é normalmente ligado à fonte (S). A tensão entre gate e fonte (V_{GS}) pode ser, também, positiva ou negativa. A figura 4.17 mostra a estrutura básica de um com canal tipo n, e seu respectivo símbolo.

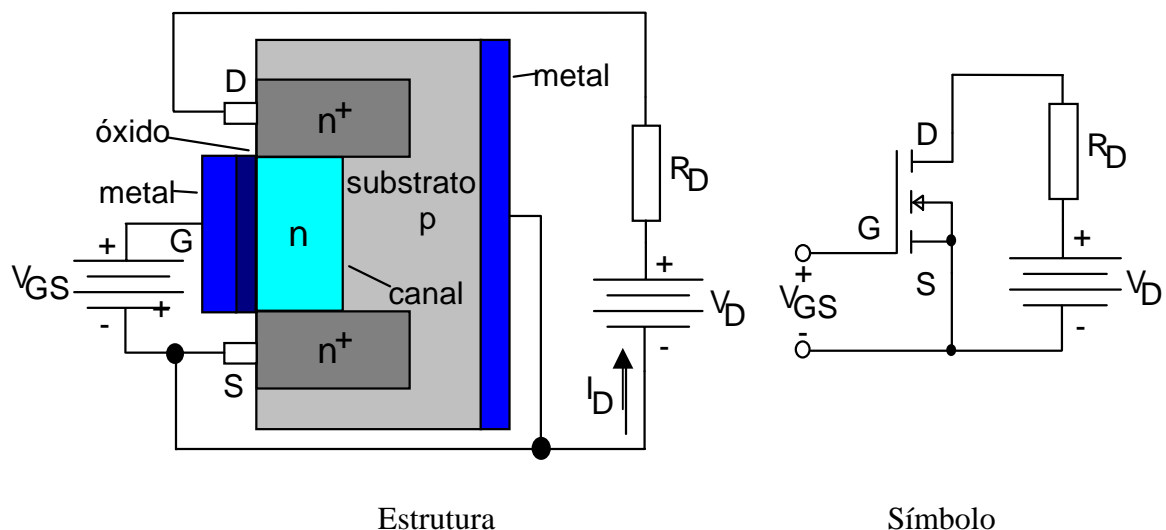


Figura 4.17 : Estrutura e símbolo do MOSFET de canal n.

* ANÁLISE :

- $V_{GS} < 0$: os elétrons do canal n são repelidos aumentando assim a camada de depleção próxima da camada óxida. Assim, há uma diminuição na área do canal n (estrangulamento), sendo estabelecida uma alta resistência R_{DS} . Deste modo, não há circulação de corrente I_{DS} . Para I_{DS} igual a zero, a tensão V_{GS} é chamada de tensão de estrangulamento (pinch-off) V_P .

- $V_{GS} > 0$: o canal n torna-se largo, reduzindo drasticamente a resistência R_{DS} sendo assim, estabelecida a corrente I_{DS} . O MOSFET com canal p tem as polaridades das tensões e correntes invertidas.

O MOSFET de Intensificação não tem um canal físico como o de Depleção. Para $V_{GS} < 0$, a tensão atrai os elétrons (portadores minoritários) do substrato p que são acumulados próximos da camada óxida. Se $V_{GS} \geq V_T$ (tensão limiar), uma quantidade suficiente de elétrons acumulados formam um canal n, virtual, e a corrente I_{DS} circula através do transistor. O mesmo ocorre para o MOSFET de Intensificação tipo p, onde as polaridades de tensão e corrente são invertidas.

4.3.1 - Características de regime permanente :

Os MOSFET's são circuitos de tensão controlada e possuem alta impedância de entrada. O gate produz uma pequena corrente de fuga, na ordem de alguns nano-ampères. O ganho de corrente, que é dado por :

$$\beta = \frac{I_D}{I_G} \quad (4.30)$$

é da ordem de 10^9 . Este não é um parâmetro importante. A transcondutância g_m , que é definida por :

$$g_m = \frac{I_D}{V_{GS}} \quad (4.31)$$

define a característica de transferência e é um importante parâmetro.

A característica de transferência para uma MOSFET de Intensificação de canal n é dada abaixo, na figura 4.18.

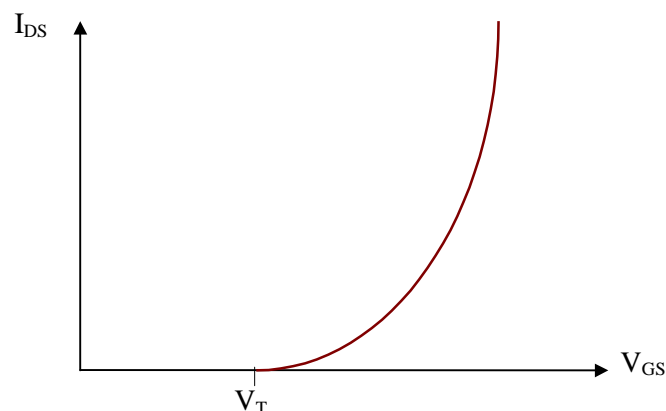


Figura 4.18 : Característica de transferência

A característica de saída para o mesmo MOSFET é dada na figura 4.19.

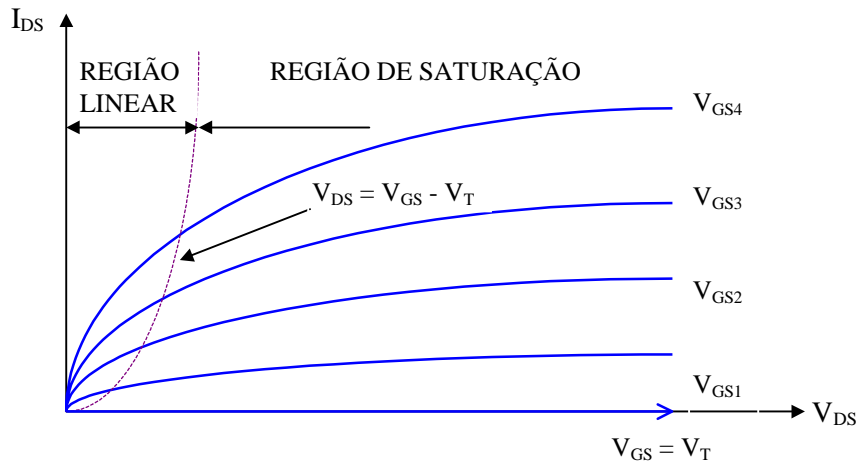


Figura 4.19 : Característica de saída.

Existem três regiões de operação para o MOSFET : região de corte; região de saturação e região linear.

Na região linear ($V_{DS} \leq V_{GS} - V_T$), a corrente I_{DS} varia proporcionalmente com a tensão V_{DS} . Devido a alta corrente I_{DS} e a baixa tensão V_{DS} , os MOSFET's de potência são operados na região linear para efeito de chaveamento.

Na região de saturação ($V_{DS} \geq V_{GS} - V_T$), a corrente I_{DS} permanece praticamente constante para alguma variação de V_{DS} , sendo utilizados, nesta região, para amplificação. A saturação ocorre quando $V_{DS} = V_{GS} - V_T$.

O modelo, em regime permanente, do MOSFET tanto para o tipo Depleção quanto o Intensificação, é mostrado na figura 4.20.

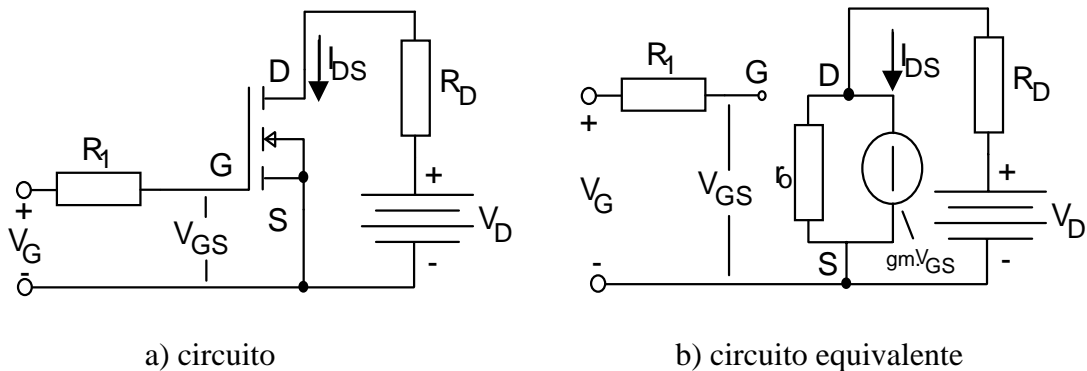


Figura 4.20 : Modelo do transistor MOSFET em regime permanente.

A transcondutância (g_m) e a resistência de saída (r_0) são dadas por :

$$g_m = \left. \frac{\Delta I_D}{\Delta V_{GS}} \right|_{V_{DS}=cte}$$

$$r_0 = R_{DS} = \frac{\Delta V_{DS}}{\Delta I_D}$$
(4.32)

4.3.2 - Características de chaveamento :

Sem nenhum sinal no gate, um MOSFET pode ser representado como dois diodos conectados em série com os terminais opostos ou, como um transistor NPN. A estrutura do gate tem capacitâncias parasitas : gate-fonte (C_{gs}) e gate-dreno (C_{dg}).

O transistor NPN tem junção reversamente polarizada entre dreno e fonte, oferecendo uma capacitância C_{ds} . A figura 4.21 mostra o circuito equivalente para um MOSFET com um transistor bipolar parasita em paralelo.

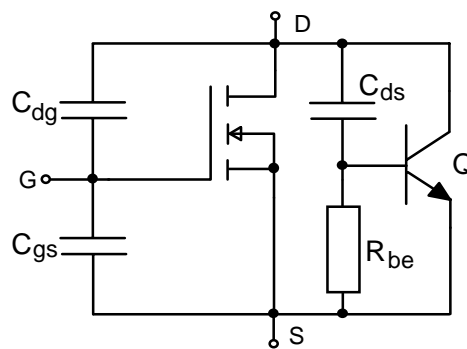


Figura 4.21 : MOSFET com transistor bipolar parasita.

A resistência entre base e emissor R_{be} do transistor parasita é pequena.

O MOSFET também pode ter um circuito equivalente com um diodo interno, como mostrado na figura 4.22. A capacitância parasita C_{ds} depende da tensão aplicada.

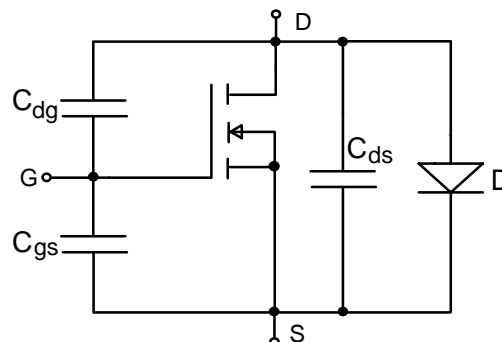


Figura 4.22 : MOSFET com diodo interno.

O circuito equivalente para o MOSFET no chaveamento é mostrado na figura 4.23, bem como as formas de onda e tempos característicos.

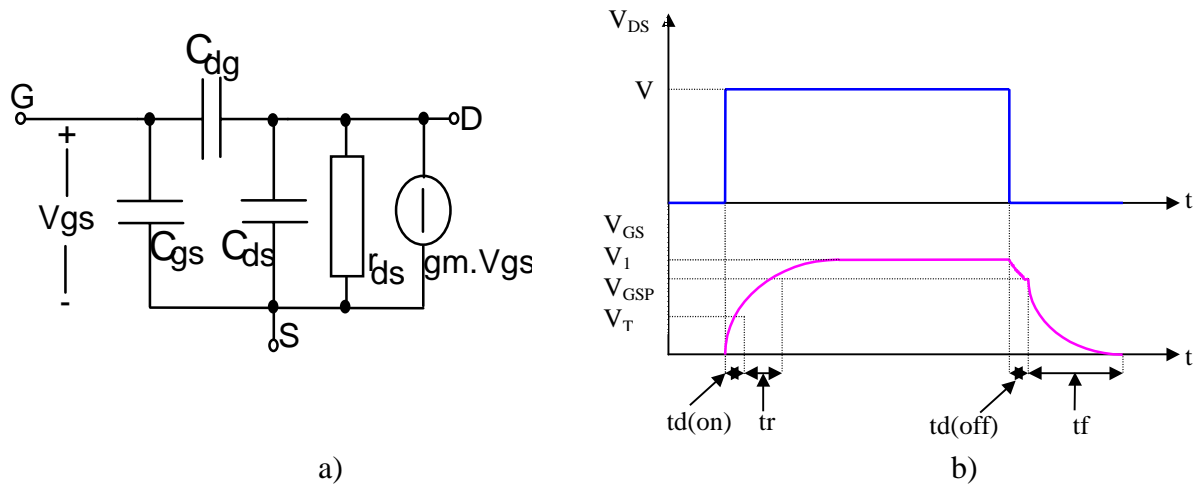


Figura 4.23 : a) Modelo transitório; b) característica de chaveamento.

- **td(on)** : tempo necessário para carregar a capacitância C_{gs} à tensão de condução V_T ;
- **tr** : tempo necessário para carregar o capacitor de entrada de V_T até a tensão V_{GSP} , que é a tensão necessária para levar o transistor à região linear;
- **td(off)** : é o tempo necessário para C_{gs} descarregar desde V_1 até V_{GSP} ;
- **tf** : tempo necessário para a capacitância C_{gs} descarregar até V_T . Se $V_{GS} \leq V_T$, o MOSFET desliga.

4.4 - **IGBT** (Insulated Gate Bipolar Transistor) :

Este componente associa as vantagens do transistor bipolar (baixa perda durante a condução), com as do MOSFET (alta impedância de entrada). Devido a sua estrutura, a resistência entre dreno e fonte (R_{DS}) do IGBT é controlada de forma que o mesmo se comporte como um transistor bipolar. O símbolo do IGBT é mostrado na figura 4.24.

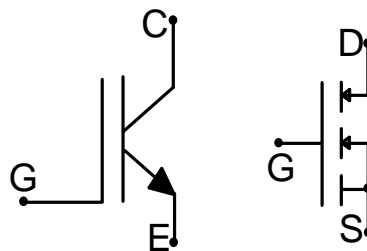


Figura 4.24 : símbolo do transistor IGBT - canal n.

O IGBT é um componente controlado por tensão, semelhante ao MOSFET. Apresenta baixas perdas tanto no chaveamento quanto durante a condução, apresentando características semelhantes ao MOSFET, tais como : facilidade de acionamento, capacidade e “ruggedness”. Em termos de velocidade, o IGBT é mais rápido que o transistor bipolar mas, mais lento que o MOSFET.

A especificação de corrente máxima para um IGBT é de 400A em 1200V, e sua frequência de chaveamento pode ser superior a 20kHz. Os IGBT's são utilizados em aplicações de média potência : acionamento de motores CA e CC; fontes de potência; relés estáticos; etc.